

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-17652

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 J 13/00

H 0 4 J 13/00

A

H 0 4 L 7/00

H 0 4 L 7/00

C

審査請求 未請求 請求項の数6 F D (全 13 頁)

(21)出願番号 特願平9-184641

(22)出願日 平成9年(1997) 6月26日

(71)出願人 390010515

株式会社鷹山

東京都世田谷区北沢3-5-18 鷹山ビル

(72)発明者 周 長明

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(72)発明者 周 旭平

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(72)発明者 寿 国梁

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

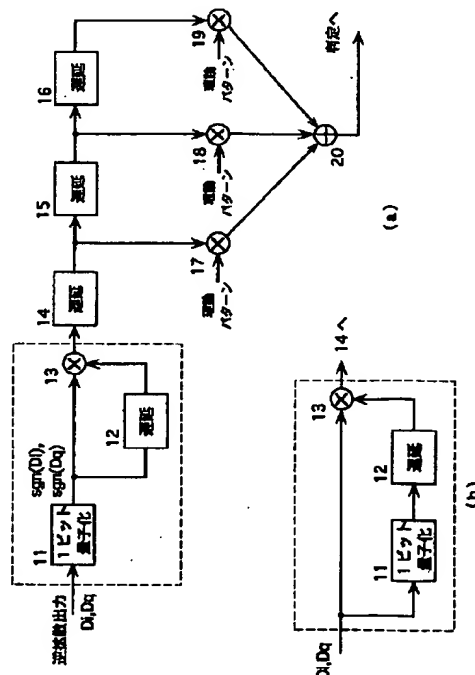
(74)代理人 弁理士 高橋 英生

(54)【発明の名称】 フレーム同期検出回路

(57)【要約】

【課題】 回路規模が小さく、低消費電力のDS-SSMA用フレーム同期検出回路を提供する。

【解決手段】 情報シンボルと所定のパターンを有するパイロットシンボルとを有する複数のスロットからなるフレーム構成の信号が受信され、マッチドフィルタ10により逆拡散される。逆拡散された信号は、量子化回路11において正負を表す1ビットのデータに変換され、乗算器13により遅延検波されて遅延回路14～15に順次格納される。乗算器17～19において遅延回路14～16の出力とパイロットシンボルパターンとが乗算され、加算器20からそれらの和が出力される。そのピークを検出することにより、フレーム同期を検出する。また、遅延検波を行わずに逆拡散信号とパイロットシンボルパターンとを直接乗算し、それらの和を判定することによりフレーム同期を検出する。



1

【特許請求の範囲】

【請求項1】 伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、

受信信号を逆拡散するマッチドフィルタと、
該マッチドフィルタの出力を量子化する量子化回路と、
該量子化回路の出力を遅延検波する遅延検波回路と、
該遅延検波回路の出力を順次格納する直列に接続された複数の遅延回路と、

該複数の遅延回路の出力と所定のパターンとの一致を検出する一致検出回路とを有することを特徴とするフレーム同期検出回路。

【請求項2】 伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、

受信信号を逆拡散するマッチドフィルタと、
該マッチドフィルタの出力を量子化する量子化回路と、
前記マッチドフィルタの出力と前記量子化回路の出力とを用いて遅延検波する遅延検波回路と、
該遅延検波回路の出力を順次格納する直列に接続された複数の遅延回路と、

該複数の遅延回路の出力と所定のパターンとの一致を検出する一致検出回路とを有することを特徴とするフレーム同期検出回路。

【請求項3】 伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、

受信信号を逆拡散するマッチドフィルタと、
該マッチドフィルタの出力を順次格納する直列に接続された複数の遅延回路と、

前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、

該複数の乗算器の出力の和を算出する加算器と、
該加算器の出力の絶対値を算出する絶対値回路と、
該絶対値回路の出力を判定する判定回路とを有することを特徴とするフレーム同期検出回路。

【請求項4】 伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、

受信信号を逆拡散するマッチドフィルタと、
該マッチドフィルタの出力を順次格納する直列に接続された複数の遅延回路と、

前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、

該複数の乗算器の隣接する2個の出力の差を算出する減算器と、

該各減算器の出力の絶対値を算出する絶対値回路と、
該各絶対値回路の出力の和を算出する加算器と、

2

該加算器の出力を判定する判定回路とを有することを特徴とするフレーム同期検出回路。

【請求項5】 伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、

受信信号を逆拡散するマッチドフィルタと、
1フレーム中に含まれるパイロットシンボルの数に対応する数の遅延回路であって、前記マッチドフィルタの出力を順次格納するように直列に接続された複数の遅延回路と、

前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、

前記複数の乗算器の出力を加算する加算器と、
前記加算器の出力の絶対値を算出する絶対値回路と該絶対値回路の出力を判定する判定回路とを有することを特徴とするフレーム同期検出回路。

【請求項6】 それぞれパイロットシンボルが挿入された複数のスロットにより1フレームが構成されるスペクトラム拡散通信方式におけるフレーム同期検出回路であって、

受信信号を逆拡散するマッチドフィルタと、
1フレーム中に含まれるパイロットシンボルの数に対応する数の遅延回路であって、前記マッチドフィルタの出力のうちパイロットシンボルに対応する出力を順次格納するように直列に接続された複数の遅延回路と、

前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、

前記1フレーム中のスロット数に対応する数の加算器であって、それぞれ対応するスロット中の各パイロットシンボルに対応する前記乗算器の出力を加算する加算器と、

該各加算器の出力の絶対値を算出する絶対値回路と、
該各絶対値回路の出力を加算する加算器と該加算器の出力を判定する判定回路とを有することを特徴とするフレーム同期検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、伝送データに周期的にパイロットシンボルを挿入して伝送するDS-CDMA通信方式等のスペクトラム拡散通信方式におけるフレーム同期検出回路に関する。

【0002】

【従来の技術】近年、移動無線システムや無線LANなどの無線通信システムにおいて、DS-CDMA (Direct Sequence-Code Division Multiple Access) 通信方式が注目を集めている。このDS-CDMA通信方式の一つとして、パイロットシンボルを周期的に伝送データ中に挿入して送信する方式が提案されている。

3

【0003】この提案されているDS-SS-CDMA通信方式における送信データのフレーム構成の一例を図5の

(a)に示す。この図に示す例においては、各フレームは、それぞれが1つのパイロットシンボルブロックと1つの情報シンボルブロックとを有する複数(例えば16個)のスロットから構成されており、図示するようにパイロットシンボルブロックP1、P2・・・Pnと、情報シンボルブロックI1、I2・・・Inとが交互に配列された構成とされている。各パイロットシンボルブロックP1、P2、・・・PnはそれぞれLシンボル(例えば4シンボル)の長さとしており、既知のシンボル列(パターン)が送信される。また、各情報ブロックI1、I2・・・Inには、それぞれ所定数(例えば36シンボル)の情報シンボルが配置されている。この各シンボルは、QPSK変調方式により情報変調された後、所定の拡散符号で拡散変調されて受信局に向けて送信される。

【0004】受信局においては、周期的に挿入された前記パイロットシンボルの受信信号からフェージング複素包絡線を推定し、該推定したフェージング複素包絡線に基づいて各パスの受信信号のフェージング補正を行い、RAKE合成して、前記情報シンボルの受信信号の同期検波を行う。また、受信した前記パイロットシンボルブロックの情報が所定のパターンであることを検出してフレーム同期信号を出力するようになされている。

【0005】図5の(b)は、前記受信局における信号受信装置の要部の構成を示すブロック図である。この図において、受信アンテナ101において受信されたスペクトラム拡散信号は高周波受信部102において中間周波信号に変換され、分配器103により2つの信号に分割されて、それぞれ乗算器106および107に供給される。104は中間周波数の信号($\cos \omega t$)を発生する発振器であり、該発振器104からの出力は、前記乗算器106に直接印加されるとともに、その位相を $\pi/2$ だけ移相する位相シフト回路105を介して前記乗算器107に入力される。前記乗算器106において前記分配器103からの中間周波信号と前記発振器104からの発振出力が乗算され、ローパスフィルタ108を介して同相成分(I成分)のベースバンド信号が出力される。また、前記乗算器107において前記分配器103からの中間周波信号と前記位相シフト回路105の出力($\sin \omega t$)が乗算され、ローパスフィルタ109を介して直交成分(Q成分)のベースバンド信号が出力される。

【0006】I成分とQ成分のベースバンド信号は、複素型マッチドフィルタ110に入力され、それぞれ、PN符号生成回路111により発生されるPN符号系列と乗算されて逆拡散され、逆拡散出力の同相成分と直交成分とが得られる。マルチパス環境においては、各逆拡散出力は、それぞれのパスに対応した複数のピークとなっ

4

ている。このマッチドフィルタ110から出力される逆拡散出力の同相成分と直交成分は、遅延検波回路112、信号レベル検出部114および位相補正部116にそれぞれ入力される。

【0007】前記遅延検波回路112において、前記複数のパスに対応する逆拡散出力のうちの1つのパス(例えば第1番目のパス)に対応する受信信号が遅延検波され、該検波出力はフレーム同期検出器113に入力される。前述のように、各フレームに含まれているパイロットシンボルは既知のパターンとされており、フレーム同期検出器113は、前記遅延検波回路112からの遅延検波出力が上記複数のスロットにそれぞれ4シンボルずつ含まれている既知のパイロットシンボルの遅延検波パターンに一致するか否かを判定することにより、フレーム同期を検出している。このように、前記遅延検波回路112とフレーム同期検出器113とによりフレーム同期検出回路が構成されており、このフレーム同期検出回路から出力されるフレーム同期信号は位相補正部116等に印加される。

【0008】また、信号レベル検出部114では、逆拡散出力のI成分とQ成分とから各パスの受信信号のレベルが算出され、マルチパス選択部115において、受信信号レベルの大きい複数のピークが複数のパスとして選択される。このマルチパス選択回路115の出力は位相補正部116に入力される。

【0009】前記位相補正部116は、前記複数のパスにそれぞれ対応して設けられた複数の位相補正手段と、前記複素型マッチドフィルタ110からの逆拡散された受信信号の同相成分および直交成分を、前記フレーム同期信号および前記マルチパス選択回路115の出力に基づいて、前記複数の位相補正手段に選択的に出力するセレクトとを有している。前記複素型マッチドフィルタ110からの逆拡散信号は、前記セレクトにより前記各位相補正手段にそれぞれ対応するタイミングで入力され、各位相補正手段において、それぞれ対応するパスの逆拡散信号に対してフェージング補正処理が行なわれる。

【0010】前記図5の(a)に関して説明したように、受信信号にはパイロットシンボルブロックと情報シンボルブロックとが交互に配置されている。前述したように、パイロットシンボルブロックの送信信号は既知であり、この既知の信号を参照することにより、当該パイロットシンボルブロックの受信信号中に含まれているパイロット信号の位相回転量(誤差ベクトル)を算出することができる。前記各位相補正手段は、このようにして算出した各パスの受信信号に含まれている誤差ベクトルから補正信号(補正ベクトル)を算出して、当該情報シンボルブロックの受信信号に含まれているフェージング等による位相誤差を補正する。

【0011】なお、この位相補正処理を行うときに、情

5

報シンボルブロックの前後に位置するパイロットシンボルブロックの受信信号から補正ベクトルを算出する方法（第1の方法）、および、情報ブロックの前に位置するパイロットシンボルブロックから得られた補正ベクトルを用いて位相補正を行なう方法（第2の方法）の2つの方法が知られている。

【0012】このようにして、前記位相補正部116において位相補正された各バスの受信信号はRAKE合成部117に供給され、該RAKE合成部117においてタイミングを合わせて合成されてデータ判定回路118

10 118に出力される。そして、このデータ判定回路118においてデータ判定され、信号の復調および処理が行なわれることとなる。このようにしてパスダイバーシティが行なわれている。

【0013】図6は、前記遅延検波回路112およびフレーム同期検出器113からなるフレーム同期検出回路の一構成例を示す図である。この図において、119は前記複素型マッチドフィルタ110の出力のうちの

120 119は前記複素型マッチドフィルタ110の出力のうちの一つのバス（例えば、第1のバス）に対応する受信信号（逆拡散信号）を1シンボルに対応する時間だけ遅延する遅延回路、120は前記遅延回路119から出力される1シンボル前の逆拡散信号の複素共役と前記複素型マッチドフィルタ110から出力される逆拡散信号とを乗算する乗算器であり、これら遅延回路119および乗算器120により、前記遅延検波回路112が構成されている。

【0014】また、121～123はそれぞれ1シンボル時間だけ入力信号を遅延する遅延回路であり、図示するように直列に接続されており、初段の遅延回路121には前記乗算器120からの遅延検波出力が入力されている。さらに、124～126は前記各遅延回路121～123にそれぞれ対応して設けられた乗算器、127は各乗算器124～126からの乗算結果出力を加算する加算器である。前記各乗算器124～126において、それぞれ対応する前記遅延回路121～123の出力と対応する理論パターン、すなわち、予め前記パイロットシンボルの既知のパターンに基づいて算出されているパイロットシンボルブロックの遅延検波パターンの複素共役との乗算が実行され、各乗算器124～126からの乗算結果が前記加算器127において加算される。

40 【0015】前述したように、各スロット毎に4シンボ

6

ルのパイロットシンボルが送信されており、前記遅延回路121～123から出力されるパイロットシンボルに対応する遅延検波出力が前記理論パターンと一致したときに、前記加算器127の出力はピーク値となる。したがって、この加算器127の出力が所定の閾値以上であることを検出することにより、当該スロットのパイロットシンボルが前記理論パターンに一致したものと判定することができ、このような各スロットごとの判定結果が16スロット（1フレーム）続けて得られたとき、あるいは、前記スロット毎の加算結果を16スロット分加算した結果が所定のしきい値を超えたときに、フレーム同期信号が出力されることとなる。

【0016】さて、前記複素型マッチドフィルタ110から出力される逆拡散信号の同相成分（I成分） D_i および直交成分（Q成分） D_q は、次の式（1）および式（2）により表される。ここに、 θ はフェージング等による通信路の位相回転量である。また、簡単化するため、逆拡散信号の振幅は1とする。

【数1】

$$D_i = I \cos \theta - I_q \sin \theta \quad (1)$$

$$D_q = I \sin \theta + I_q \cos \theta \quad (2)$$

【0017】前記遅延回路119からは1シンボル前の逆拡散出力 $D_i^{(2)}$ および $D_q^{(2)}$ が出力され、一方、図示しない複素型マッチドフィルタ110からは逆拡散出力 $D_i^{(1)}$ および $D_q^{(1)}$ が出力される。前記乗算器120において、前記遅延回路119の出力の複素共役（ $D_i^{(2)} - j D_q^{(2)}$ ）と前記複素型マッチドフィルタ110の出力（ $D_i^{(1)} + j D_q^{(1)}$ ）との乗算が行なわれ、この結果、該乗算器120からは次の式（3）および式（4）に示す遅延検波出力のI成分 X_i およびQ成分 X_q が出力される。

【数2】

$$X_i = D_i^{(1)} \cdot D_i^{(2)} + D_q^{(1)} \cdot D_q^{(2)} \quad (3)$$

$$X_q = -D_i^{(1)} \cdot D_q^{(2)} + D_q^{(1)} \cdot D_i^{(2)} \quad (4)$$

【0018】ここで、前記遅延回路119から出力される1シンボル前の受信信号と現在入力されている受信信号における位相回転 θ が等しいとすると、前記 X_i および X_q は次の式（5）および式（6）のようになる。

【数3】

$$\begin{aligned}
 X_i &= (I_i^{(1)} \cos \theta - I_q^{(1)} \sin \theta) \cdot (I_i^{(2)} \cos \theta - I_q^{(2)} \sin \theta) + \\
 &\quad (I_i^{(1)} \sin \theta + I_q^{(1)} \cos \theta) \cdot (I_i^{(2)} \sin \theta + I_q^{(2)} \cos \theta) \\
 &= I_i^{(1)} \cdot I_i^{(2)} + I_q^{(1)} \cdot I_q^{(2)}
 \end{aligned}
 \tag{5}$$

$$\begin{aligned}
 X_q &= -(I_i^{(1)} \cos \theta - I_q^{(1)} \sin \theta) \cdot (I_i^{(2)} \sin \theta + I_q^{(2)} \cos \theta) + \\
 &\quad (I_i^{(1)} \sin \theta + I_q^{(1)} \cos \theta) \cdot (I_i^{(2)} \cos \theta - I_q^{(2)} \sin \theta) \\
 &= -I_i^{(1)} \cdot I_q^{(2)} + I_q^{(1)} \cdot I_i^{(2)}
 \end{aligned}
 \tag{6}$$

【0019】上記式(5)および式(6)に示されているように、前記乗算器120から出力される遅延検波出力 X_i 、 X_q の中には、前記位相回転 θ が含まれておらず、高精度の遅延検波が行なわれていることが分かる。

【0020】この遅延検波出力を前記フレーム同期検出器113に入力し、予め知られているパイロットシンボルに対応する遅延検波パターンとのマッチングをとることによりフレーム同期が検出される。

【0021】

【発明が解決しようとする課題】上述したように、提案されているDS-SSMA通信システムにおいては、一つのパスの受信信号を遅延検波回路112により遅延検波し、フレーム同期検出器113において、パイロットシンボルの遅延検波出力が所定のパターンとなっているか否かを検出することにより、フレーム同期を検出している。そして、前記遅延検波回路112は、前述したように構成されており、受信信号の位相回転の影響を受けない遅延検波出力を出力することができるものであるが、アナログ信号同士の乗算を実行することが必要となるため、回路規模が大きくなり、また、消費電力も大きくなるという問題点があった。これは、携帯機などにおいては、非常に大きな問題となる。

【0022】そこで、本発明は、回路規模が小さく、かつ精度の良いフレーム同期検出回路を提供することを目的としている。また、高速にフレーム同期を検出することのできるフレーム同期検出回路を提供することを目的としている。

【0023】

【課題を解決するための手段】上記目的を達成するために、本発明のフレーム同期検出回路は、伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、受信信号を逆拡散するマッチドフィルタと、該マッチドフィルタの出力を量子化する量子化回路と、該量子化回路の出力を遅延検波する遅延検波回路と、該遅延検波回路の出力を順次格納する直列に接続された複数の遅延回路と、該複数の遅延回路の出力と所定のパターンとの一致を検出する一致検出回路とを有するものである。

【0024】また、本発明の他のフレーム同期検出回路は、伝送データに周期的にパイロットシンボルを挿入し

て伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、受信信号を逆拡散するマッチドフィルタと、該マッチドフィルタの出力を量子化する量子化回路と、前記マッチドフィルタの出力と前記量子化回路の出力とを用いて遅延検波する遅延検波回路と、該遅延検波回路の出力を順次格納する直列に接続された複数の遅延回路と、該複数の遅延回路の出力と所定のパターンとの一致を検出する一致検出回路とを有するものである。

【0025】さらに、本発明のさらに他のフレーム同期検出回路は、伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、受信信号を逆拡散するマッチドフィルタと、該マッチドフィルタの出力を順次格納する直列に接続された複数の遅延回路と、前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、該複数の乗算器の出力の和を算出する加算器と、該加算器の出力の絶対値を算出する絶対値回路と、該絶対値回路の出力を判定する判定回路とを有するものである。

【0026】さらにまた、本発明のさらに他のフレーム同期検出回路は、伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、受信信号を逆拡散するマッチドフィルタと、該マッチドフィルタの出力を順次格納する直列に接続された複数の遅延回路と、前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、該複数の乗算器の隣接する2個の出力の差を算出する減算器と、該各減算器の出力の絶対値を算出する絶対値回路と、該各絶対値回路の出力の和を算出する加算器と、該加算器の出力を判定する判定回路とを有するものである。

【0027】さらにまた、本発明のさらに他のフレーム同期検出回路は、伝送データに周期的にパイロットシンボルを挿入して伝送するスペクトラム拡散通信方式におけるフレーム同期検出回路であって、受信信号を逆拡散するマッチドフィルタと、1フレーム中に含まれるパイロットシンボルの数に対応する数の遅延回路であって、

20

30

40

50

前記マッチドフィルタの出力を順次格納するように直列に接続された複数の遅延回路と、前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、前記複数の乗算器の出力を加算する加算器と、前記加算器の出力の絶対値を算出する絶対値回路と、該絶対値回路の出力を判定する判定回路とを有するものである。

【0028】さらにまた、本発明のさらに他のフレーム同期検出回路は、それぞれパイロットシンボルが挿入された複数のスロットにより1フレームが構成されるスペクトラム拡散通信方式におけるフレーム同期検出回路であって、受信信号を逆拡散するマッチドフィルタと、1フレーム中に含まれるパイロットシンボルの数に対応する数の遅延回路であって、前記マッチドフィルタの出力のうちパイロットシンボルに対応する出力を順次格納するように直列に接続された複数の遅延回路と、前記各遅延回路にそれぞれ対応して設けられ、対応する前記遅延回路の出力と当該所定のパターンとを乗算する複数の乗算器と、前記1フレーム中のスロット数に対応する数の加算器であって、それぞれ対応するスロット中の各パイロットシンボルに対応する前記乗算器の出力を加算する加算器と、前記各加算器の出力の絶対値を算出する絶対値回路と、該各絶対値回路の出力を加算する加算器と、該加算器の出力を判定する判定回路とを有するものである。

【0029】

$$Xi + j \cdot Xq = [\text{sgn}(Di^{(1)}) + j \cdot \text{sgn}(Dq^{(1)})] \cdot [\text{sgn}(Di^{(2)}) - j \cdot \text{sgn}(Dq^{(2)})] \quad (7)$$

$$Xi = \text{sgn}(Di^{(1)}) \cdot \text{sgn}(Di^{(2)}) + \text{sgn}(Dq^{(1)}) \cdot \text{sgn}(Dq^{(2)}) \quad (8)$$

$$Xq = -\text{sgn}(Di^{(1)}) \cdot \text{sgn}(Dq^{(2)}) + \text{sgn}(Dq^{(1)}) \cdot \text{sgn}(Di^{(2)}) \quad (9)$$

【0031】上記式(8)および式(9)に示されているように、前記乗算器13においては、前記1ビット量子化回路11および前記遅延回路12から出力される1ビットのデータである $\text{sgn}(Di^{(2)})$ 、 $\text{sgn}(Dq^{(2)})$ 、 $\text{sgn}(Di^{(1)})$ 、 $\text{sgn}(Dq^{(1)})$ 相互の乗算を行ない、その乗算結果を加算あるいは減算することができる。したがって、前記図6に示した乗算器120と比べて回路規模を小さくすることができ、回路の小型化、低消費電力化を実現することができる。

【0032】前記乗算器13の出力は、遅延回路14に入力され、該遅延回路14に直列に接続された遅延回路15および16に順次供給される。当該スロットに含まれているパイロットシンボルのシーケンスをPr(1)~Pr(4)であるとする、パイロットシンボルブロックの信号を受信したときに、前記乗算器113からは、Pr(1)とPr(2)の前記遅延検波出力、Pr(2)とPr(3)の前記遅延検波出力、Pr(3)とPr(4)の前記遅延検波出力が順次出力され、パイロ

【発明の実施の形態】以下、本発明の各フレーム同期検出回路について説明する。図1の(a)は、本発明のフレーム同期検出回路の第1の実施の形態における要部の構成を示すブロック図である。図1の(a)において、11は1ビット量子化回路であり、前述した複素型マッチドフィルタ110(図5(b))からのベースバンドの逆拡散信号の同相成分Diと直交成分Dqとをシンボルに同期したクロックにより入力し、それらの正負に対応する出力信号 $\text{sgn}(Di)$ および $\text{sgn}(Dq)$ に変換して出力する。これにより、アナログの逆拡散信号DiおよびDqが、1ビットのデジタルデータ(例えば正の場合は「1」、負の場合は「-1」)に変換される。また、12は前記1ビット量子化回路11の出力を1シンボル時間だけ遅延する遅延回路、13は前記1ビット量子化回路11の出力と前記遅延回路12の出力を複素乗算する乗算器である。

【0030】ここで、前記乗算器13においては、次の(7)式で示す前記1ビット量子化回路11から出力される量子化された逆拡散信号 $\text{sgn}(Di^{(1)}) + j \cdot \text{sgn}(Dq^{(1)})$ と、前記遅延回路12から出力される1シンボル前のシンボルの量子化された逆拡散信号の複素共役 $\text{sgn}(Di^{(2)}) - j \cdot \text{sgn}(Dq^{(2)})$ との複素乗算が実行され、式(8)および式(9)に示す遅延検波出力のI成分XiおよびQ成分Xqが出力される。

【数4】

ットシンボルブロックの信号が受信された1シンボル時間後には、前記遅延回路16の出力はPr(1)とPr(2)の前記遅延検波出力、遅延回路15の出力はPr(2)とPr(3)の前記遅延検波出力、遅延検波回路14の出力はPr(3)とPr(4)との前記遅延検波出力となり、当該スロット中に含まれているパイロットシンボルに対応する前記遅延検波出力が前記遅延回路14~16の出力に得られていることとなる。

【0033】前記遅延回路14~16の出力は、それぞれ対応して設けられている乗算器17~19に入力され、各乗算器17~19の他方の入力には、予め知られているパイロットシンボルの値から算出された対応する遅延検波出力パターンが入力されている。すなわち、予め設定されているパイロットシンボルのシーケンスをPo(1)、Po(2)、Po(3)、Po(4)であるとしたとき、前記乗算器19にはパイロットシンボルPo(1)とPo(2)の複素共役との乗算結果が理論パターンとして供給されており、前記乗算器18にはPo(2)とPo(3)の複素共役との乗算結果、前記乗算

器17にはP o (3)とP o (4)の複素共役との乗算結果がそれぞれ理論パターンとして入力されている。

【0034】これにより、各乗算器17~19において、前記遅延回路14~16から出力される受信シンボルの遅延検波出力と、前記乗算器17~19に供給されている対応する理論パターンの複素共役との乗算がそれぞれ行なわれ、各乗算結果は加算器20において加算される。この加算結果は、遅延検波出力と理論パターンとが一致したときに最大値となる。したがって、前記加算器20の出力が所定のしきい値を超えたときに、当該パイロットシンボルパターンと受信シンボルとが一致したものとすることができる。

【0035】なお、この図1の(a)に示した構成では、1スロットに含まれる4シンボルのパイロットシンボルについての検出が行なわれるが、この図1の(a)に示した検出回路構成を用いて、各スロットごとに順次一致を検出し、1フレーム分(16スロット分)の一致を連続して検出したときに、フレーム同期を検出したとすることができる。あるいは、前記各スロット毎の加算結果を16スロット分加算して、その総和が所定のしきい値を超えたか否かによって判定するようにしてもよい。

【0036】さて、前記図1の(a)に示した第1の実施の形態においては、逆拡散信号を全て1ビット量子化していたために回路構成は簡単になるものの、多少精度

$$Xi + j \cdot Xq = (Di^{(1)} + j \cdot Dq^{(1)}) \cdot [\text{sgn}(Di^{(2)}) - j \cdot \text{sgn}(Dq^{(2)})] \quad (10)$$

$$Xi = Di^{(1)} \cdot \text{sgn}(Di^{(2)}) + Dq^{(1)} \cdot \text{sgn}(Dq^{(2)}) \quad (11)$$

$$Xq = -Di^{(1)} \cdot \text{sgn}(Dq^{(2)}) + Dq^{(1)} \cdot \text{sgn}(Di^{(2)}) \quad (12)$$

【0039】この式(11)および式(12)から明らかなように、前記乗算器13において、後続するシンボルの逆拡散出力 $Di^{(1)}$ 、 $Dq^{(1)}$ と先行するシンボルの1ビット量子化された逆拡散出力 $\text{sgn}(Di^{(2)})$ 、 $\text{sgn}(Dq^{(2)})$ とが乗算され、各乗算結果が加算されている。ここで、前記1ビット量子化された逆拡散出力 $\text{sgn}(Di^{(2)})$ 、 $\text{sgn}(Dq^{(2)})$ は1ビットのデジタルデータであり、例えば、その「1」を正、

「0」を負とした場合には、該データに応じて、前記逆拡散出力 $Di^{(1)}$ および $Dq^{(1)}$ の極性を反転させることにより、前記各乗算を実行することができる。

【0040】なお、後続するシンボルの逆拡散出力が1ビット量子化されており、先行するシンボルについては逆拡散出力がそのまま乗算器13に入力されている場合についても、全く同様のことがいえる。

【0041】したがって、この実施の形態においても、遅延検波を行う前記乗算器13を非常に簡単な構成のものとすることができる。そして、この場合には、一方のデータは1ビット量子化されていないため、前記図1の(a)の場合に比べて高精度の遅延検波出力を得ること

が悪くなるという問題点がある。この問題点を解消するようにした本発明の第2の実施の形態について図1の(b)を参照して説明する。

【0037】この実施の形態は、図1の(b)に示すように、前記乗算器13において遅延検波をするときに、乗算される一方のシンボルは1ビット量子化されたデータを用い、他方のシンボルは量子化されていない逆拡散信号を用いるようにするものである。なお、前記遅延回路14~16、乗算器17~19および加算器20からなる構成は、前記第1の実施の形態の場合と同様であり、また、前記各乗算器17~19に入力される理論パターンも、前記第1の実施の形態と同一のデータが用いられる。ただし、遅延回路14~16はアナログの遅延回路に、乗算器13および17~19はアナログデジタル混在回路に、加算器20はアナログ加算器になる。

【0038】この第2の実施の形態における遅延検波動作について説明する。ここで、例えば、先行するシンボルの逆拡散信号が1ビット量子化されており、そのデータの複素共役と、後続するシンボルの逆拡散信号とが乗算されるものとする。この場合には、前記乗算器13において、次の式(10)に示す演算が実行され、式(11)および式(12)に示す乗算結果のI成分 Xi およびQ成分 Xq が出力される。

【数5】

ができる。

【0042】次に、本発明の第3および第4の実施の形態について図2を参照して説明する。これらの実施の形態のフレーム同期検出回路は、前述したような遅延検波を行わずにフレーム同期を検出するものである。図2の(a)は、本発明のフレーム同期検出回路の第3の実施の形態の構成を示すブロック図である。この図において、21~24は直列に接続された遅延回路であり、それぞれ1シンボル時間だけデータを遅延するものである。初段の遅延回路21には前記複素型マッチドフィルタからのI、Q両成分の逆拡散信号がシンボル同期信号に同期したクロックにより入力される。また、25~28は前記遅延回路21~24にそれぞれ対応して設けられた乗算器であり、各乗算器25~28の一方の入力には対応する前記遅延回路21~24の出力が入力される。また、各乗算器25~28の他方の入力には、前記予め知られているパイロットシンボルの対応するシンボルのI成分およびQ成分のデータ Ii および Iq が入力されており、各乗算器25~28において、前記各遅延回路21~24の出力と前記対応する既知のパイロット

シンボルパターンの複素共役とが乗算される。29は加算器であり、前記各乗算器25～28の乗算結果を加算する。30は絶対値回路であり、前記加算器29の加算結果の絶対値を算出する。

【0043】このように構成されたフレーム同期検出回路において、前記各遅延回路21～24において、前記逆拡散信号 $(Di + j \cdot Dq)$ と既知のパイロットシンボ

$$(Di + j \cdot Dq) \cdot (li - j \cdot lq) = (Di \cdot li + Dq \cdot lq) + j \cdot (-Di \cdot lq + Dq \cdot li) \\ = (li^2 + lq^2) \cos \theta + j \cdot (li^2 + lq^2) \sin \theta \quad (13)$$

【0044】ここで、前述したようにパイロットシンボルはQPSKにより情報変調されているため、 li および lq は、それぞれ「+1」あるいは「-1」である。

$$x = \left| \left[\sum_{n=1}^4 (I_{in}^2 + I_{qn}^2) \right] \cdot \cos \theta + j \cdot \left[\sum_{n=1}^4 (I_{in}^2 + I_{qn}^2) \right] \cdot \sin \theta \right| = \sqrt{2 \left[\sum_{n=1}^4 (I_{in}^2 + I_{qn}^2) \right]^2} \quad (14)$$

したがって、受信シンボルが前記パイロットシンボルと一致したときに、式(14)の出力は最大値となる。したがって、前記絶対値回路30の出力を観察することにより、受信シンボルと当該パイロットシンボルとの一致を検出することができる。

【0045】次に本発明の第4の実施の形態について説明する。図2の(b)は、この実施の形態の構成を示すブロック図である。この図において、遅延回路21～24および乗算器25～28は、前記図2の(a)に示した第3の実施の形態と同一のものである。また、31～33はいずれも加算器であり、加算器31は前記乗算器25の出力から前記乗算器26の出力を減算し、加算器32は前記乗算器26の出力から前記乗算器27の出力を減算し、加算器33は前記乗算器27の出力から前記乗算器28の出力を減算するように構成されている。すなわち、前記加算器31～33からは、後続するパイロットシンボルの乗算結果から先行するパイロットシンボルの乗算結果を減算した結果が出力されるようになされている。また、34～36は、それぞれ前記加算器31～33に対応して設けられた絶対値回路であり、前記各

$$(Di^{(1)} + j \cdot Dq^{(1)}) \cdot (li^{(1)} - j \cdot lq^{(1)}) - (Di^{(2)} + j \cdot Dq^{(2)}) \cdot (li^{(2)} - j \cdot lq^{(2)}) = 0 \quad (15)$$

したがって、前記加算器37の出力が所定のしきい値以下となったことを検出することにより、そのスロットにおいて当該パイロットシンボルを受信したことを検出することが可能となる。

【0047】フレーム同期を検出するためには、前述したように、連続する16個のスロットにおいてそれぞれ当該パイロットシンボルとの一致を検出することが必要となるため、この図2(a)あるいは(b)に示した回路を用いて、連続する16スロットの出力を観測することにより、フレーム同期を検出することができる。

ルの複素共役 $(li - j \cdot lq)$ との複素数の乗算が実行される。ここで、受信シンボルが前記パイロットシンボルと一致しているときは、 Di 、 Dq は前記式(1)および式(2)で表わされるため、この乗算結果は、次の式(13)のようになる。

【数6】

したがって、前記絶対値回路30の出力は次の式(14)により表される。

【数7】

加算器31～33から出力される減算結果の絶対値を算出する。また、37は加算器であり、前記絶対値回路34～36からそれぞれ出力される絶対値の総和を算出する。

【0046】このように構成されたフレーム同期検出回路において、受信シンボルが前記パイロットシンボルと一致しているときは、前記乗算器25～28から、それぞれ対応するシンボルについての前記式(13)に示す乗算結果が出力され、先行するシンボルに対応する乗算結果と後続するシンボルに対応する乗算結果との間の減算が加算器31～33において行われる。先行するシンボルと後続するシンボルで位相回転量 θ が等しいものとする、前述したように、 li および lq はそれぞれ「+1」あるいは「-1」であるため、次の式(15)に示すように、各加算器31～33における演算結果は0となる。ここで、上付きの(1)は先行するシンボルを表わし、上付きの(2)は後続するシンボルを表わしている。

【数8】

あるいは、各スロット毎の出力を16スロット分加算し、その総和について判定することにより、フレーム同期を検出することができる。

【0048】このように構成された第3および第4の実施の形態のフレーム同期検出回路によれば、遅延検波を行なうことなくフレーム同期を検出することが可能となり、遅延検波のための乗算器が不要となる。また、乗算器25～28において、対応する遅延回路21～24からのアナログの逆拡散信号 $(Di + j \cdot Dq)$ と当該パイロットシンボルの予め知られているデータの複素共役

($I_i - j I_q$) との乗算が実行されるが、ここで、前記パイロットシンボルの複素共役 ($I_i - j I_q$) の各項 I_i および I_q は「+1」または「-1」であるため、前記式 (13) に示す乗算は、 D_i 、 D_q の符号を変換して加算する操作のみにより実行することができる。したがって、従来のフレーム同期検出回路と比較して、非常に簡単な構成とすることができる。

【0049】なお、前記第3の実施の形態においては、前記加算器29において前記乗算器25～28の乗算結果の総和を算出してから、前記絶対値回路30においてその絶対値を算出しているが、この演算の順序を入れ替えて、前記各乗算器25～28の乗算結果の絶対値をそれぞれ算出してから、それらの総和を加算器により算出するようにしてもよい。また、前記第4の実施の形態においても、同様に演算の順序を入れ替えて、各加算器31～33の出力の総和を算出してから、その絶対値を算出するようにしても良い。このように、演算の順序を変更しても、前述した場合と同様にフレーム同期を検出することができる。

【0050】さて、今までに説明した実施の形態は、いずれも、1スロット中に含まれているパイロットシンボル(4シンボル)の一致を検出するためのものであった。前述のように、フレーム同期を検出するためには、16個のスロットにおいて連続して当該パイロットシンボルパターンとの一致を検出すること、あるいは、前記フレーム同期検出回路における加算器の出力を16スロット分加算した結果を判定することが必要であった。したがって、途中のスロットにおいてパイロットシンボルと受信シンボルとの一致がとれなくなった場合には、再び第1番目のスロットのパイロットシンボルの検出からフレーム同期検出操作を実行することが必要となり、あるいは、16スロット経過してからでないとフレームが同期しているか否かを判定することができなかった。したがって、回路規模は少なくなるものの、フレーム同期検出に多くの時間を要することとなる。このような不都合をなくし、高速にフレーム同期を検出することのできる本発明のさらに他の実施の形態について説明する

【0051】図3の(a)は、上述した本発明の第5の

$$x = \left| \left[\sum_{n=1}^{64} (I_{in}^2 + I_{qn}^2) \right] \cdot \cos \theta + j \cdot \left[\sum_{n=1}^{64} (I_{in}^2 + I_{qn}^2) \right] \cdot \sin \theta \right| = \sqrt{2 \left[\sum_{n=1}^{64} (I_{in}^2 + I_{qn}^2) \right]^2} \quad (16)$$

【0054】これにより、前記遅延回路41～52に格納されている16スロット分のパイロットシンボルの受信信号と、前記各乗算器61～72に入力されている予め知られているパイロットシンボルパターンとが一致したときには、前記式 (16) に示す前記絶対値回路74の出力 x がピーク値となる。したがって、この絶対値回路74の出力がピークとなることを検出することにより、フレーム同期を検出することができる。

【0055】前述の場合と同様に、前記乗算回路61～

実施の形態の構成を示すブロック図である。この図において、41～52は遅延回路であり、クロック信号CLKに同期して入力信号を取り込み、後続する遅延回路に出力するように構成されている。また、初段の遅延回路52には前記複素型マッチドフィルタ110からの逆拡散信号のI成分 D_i およびQ成分 D_q が入力されている。すなわち、直列に接続された遅延回路41～52により、アナログシフトレジスタが構成されている。図3の(b)は、前記遅延回路41～52に印加されるクロック信号CLKのタイミングを示す図であり、図示するように、受信信号中のパイロットシンボルP1～P4、P5～P8、…、P13～P16に同期したクロック信号CLKが前記各遅延回路41～52に印加されている。これにより、受信信号のうちのパイロットシンボルブロックの逆拡散信号のI成分 $D_i^{(1)} \sim D_i^{(64)}$ およびQ成分 $D_q^{(1)} \sim D_q^{(64)}$ が、順次遅延回路41～52に入力される。

【0052】61～72は、前記遅延回路41～52の出力がそれぞれ一方の入力に入力される乗算器であり、それらの他方の入力には、前記既知のパイロットシンボルパターンの対応するシンボルの複素共役 ($I_i - j I_q$) が入力されている。すなわち、複素乗算器61には、前記遅延回路41の出力 $D_i^{(1)} + D_q^{(1)}$ と予め知られているパイロットシンボルP1の複素共役 $I_i^{(1)} - j I_q^{(1)}$ が入力され、前記式 (13) に示した複素乗算が実行される。同様にして、各乗算器62～72において、それぞれ対応する受信した逆拡散信号と既知のパイロットシンボルパターンの対応するシンボルとの複素乗算が実行される。73は加算器であり、前記各乗算器61～72における乗算結果が加算される。74は前記加算器73の出力の絶対値を算出する絶対値回路である。

【0053】ここで、フェージング係数の変化が遅く、位相回転 θ が16スロットに渡って同じ値であると仮定すると、前記絶対値回路74の出力は、次の式 (16) により示される。

【数9】

72に入力されるパイロットシンボルパターンの I_i および I_q は「+1」あるいは「-1」であるため、この実施の形態においても、前記各複素乗算器61～72は簡単な構成とすることができる。また、この実施の形態においては、16スロット分のパイロットシンボルに対応する逆拡散信号を順次格納する遅延回路41～52を設けているため、受信されるパイロットシンボルの逆拡散信号とパイロットシンボルのパターンとの検出を順次検出することができるため、高速にフレーム同期を検出

することが可能となる。

【0056】本発明の第6の実施の形態について図4を参照して説明する。この図において、遅延回路41～52および各遅延回路に対応して設けられた乗算器61～72は、前記図3の(a)に示したものと同一である。

また、前記各遅延回路41～52には、前記図3の(b)に示したものと同一のクロック信号CLKが印加される。

【0057】図示するように、この実施の形態においては、各スロットに対応する4つの乗算器の乗算結果をそれぞれ別個に設けられた前記加算器81、…、82、83により加算するようにしている。すなわち、加算器81は乗算器61～64の出力を加算し、同様に、加算器82は乗算器65～68の出力を、加算器83は乗算器69～72の乗算結果を加算するように接続されている。また、84、…、85および86はそれぞれ前記加算器81～83の加算結果の絶対値を算出する絶対値

$$x = \left[\sum_{n=1}^4 (I_{in}^2 + I_{qn}^2) \right] \cdot \cos \theta_1 + j \cdot \left[\sum_{n=1}^4 (I_{in}^2 + I_{qn}^2) \right] \cdot \sin \theta_1 + \dots$$

$$\dots + \left[\sum_{n=61}^{64} (I_{in}^2 + I_{qn}^2) \right] \cdot \cos \theta_{16} + j \cdot \left[\sum_{n=61}^{64} (I_{in}^2 + I_{qn}^2) \right] \cdot \sin \theta_{16}$$

$$= \sqrt{2 \left[\sum_{n=1}^4 (I_{in}^2 + I_{qn}^2) \right]^2} + \dots \sqrt{2 \left[\sum_{n=61}^{64} (I_{in}^2 + I_{qn}^2) \right]^2} \quad (17)$$

【0060】したがって、前記遅延回路41～52に格納されているパイロットシンボルの受信信号と当該パイロットシンボルパターンとが一致したときに、前記加算器87の出力xはピーク値となる。したがって、このピークを検出することにより、フレーム同期を検出することができる。また、この実施の形態においても、前述の場合と同様に、前記乗算器61～72として簡単な構成の回路を使用することができる。さらに、各スロット毎に乗算結果の加算を実行しているため、前記図3に示した実施の形態の場合と比較して、位相回転θの変動による影響を除去することができ、より高精度にフレーム同期を検出することが可能となる。

【0061】なお、以上の説明においては、各スロット中に4シンボルのパイロットシンボルが挿入されており、16スロットで1フレームが構成されている場合を例にとって説明したが、他のフレーム構成の場合であっても、同様に適用することができる。

【0062】

【発明の効果】以上説明したように、量子化されたマッチドフィルタの出力を用いて遅延検波するようにした本発明のフレーム同期検出回路によれば、遅延検波のための乗算回路の構成を簡単化することができ、回路規模を小さくすることができるとともに、低消費電力化を図ることができる。また、マッチドフィルタの出力とパイロ

ット回路である。さらに、87は、前記絶対値回路84、…、85および86の出力を加算する加算器である。

【0058】すなわち、前記図3に示した実施の形態においては、前記加算器73において各乗算器61～72の出力の総和を算出した後、その絶対値を絶対値回路74により算出していたが、この実施の形態においては、各スロット毎の乗算結果を前記加算器81、…、82、83においてそれぞれ加算し、各加算器81～83の出力の絶対値をそれぞれ絶対値回路84～86で算出した後、加算器87においてそれらの総和を算出している。

【0059】一般に、1スロット中に含まれるパイロットシンボルの期間(4シンボルの期間)においては、位相回転θは同じであると考えられるので、前記加算器87の出力xは、次の式(17)により表される。

【数10】

ットシンボルのパターンとを乗算し、各シンボル間の演算結果の差を算出するようにした本発明のフレーム同期検出回路によれば、遅延検波回路が不要となり、回路規模を小さくすることができる。さらに、1フレーム中に含まれる全パイロットシンボルを順次格納する遅延回路を有し、各遅延回路の出力とパイロットシンボルのパターンとの積和演算を実行するようにした本発明のフレーム同期検出回路によれば、遅延検波回路が不要になるとともに、高速にフレーム同期を検出することが可能となる。

【図面の簡単な説明】

【図1】 本発明のフレーム同期検出回路の第1および第2の実施の形態の構成を示すブロック図である。

【図2】 本発明のフレーム同期検出回路の第3および第4の実施の形態の構成を示すブロック図である。

【図3】 本発明のフレーム同期検出回路のさらに他の実施の形態の構成を示すブロック図である。

【図4】 本発明のフレーム同期検出回路のさらに他の実施の形態の構成を示すブロック図である。

【図5】 DS-SS-CDMA通信方式のフレーム構成および信号受信装置の構成を示す図である。

【図6】 従来のフレーム同期検出回路の構成例を示す図である。

【符号の説明】

11 1ビット量子化回路

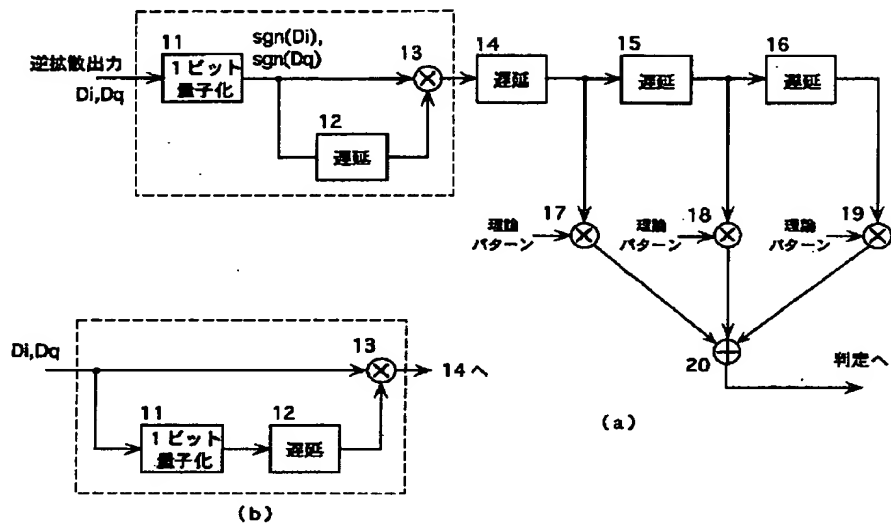
19

20

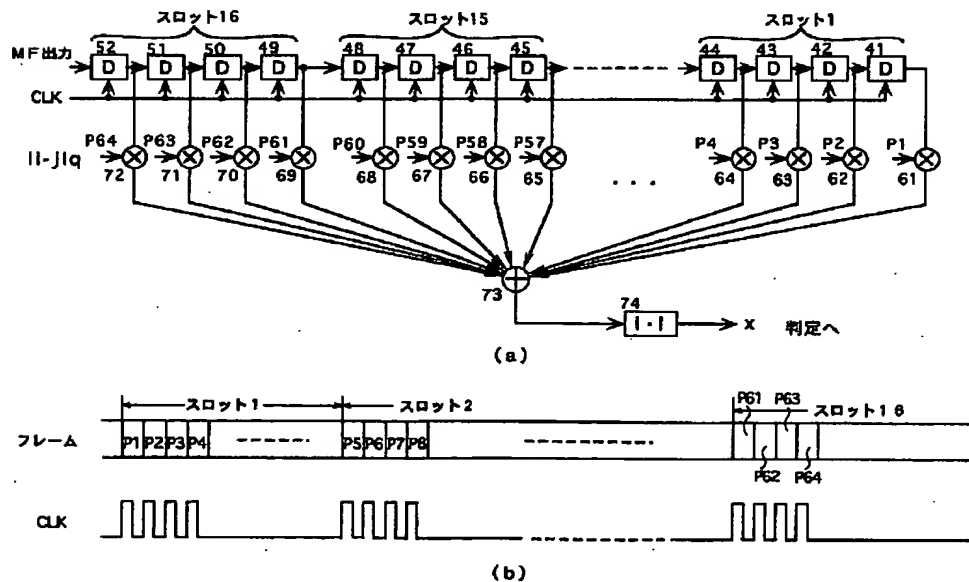
12、14～16、21～24、41～52、119、
 121～123 遅延回路
 13、17～19、25～28、61～72、106、
 107 乗算器
 20、29、31～33、37、73、81～83、1
 27 加算器
 30、34～36、74、84～86 絶対値回路
 101 アンテナ
 102 高周波受信部
 103 分配器
 104 発振器

105 $\pi/2$ 移相器
 108、109 ローパスフィルタ
 110 複素型マッチドフィルタ
 111 PN生成回路
 112 遅延検波回路
 113 フレーム同期検出器
 114 信号レベル検出部
 115 マルチパス選択部
 116 位相補正部
 10 117 RAKE合成部
 118 データ判定回路

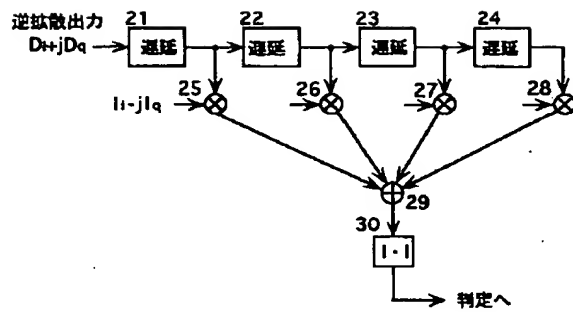
【図1】



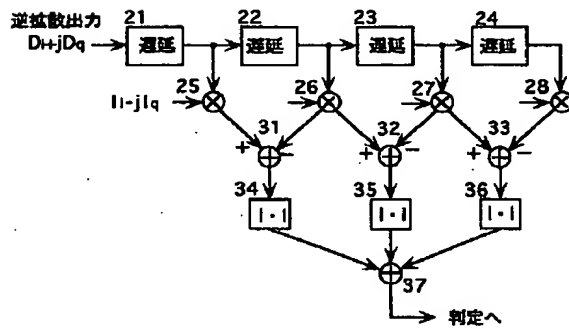
【図3】



【図2】

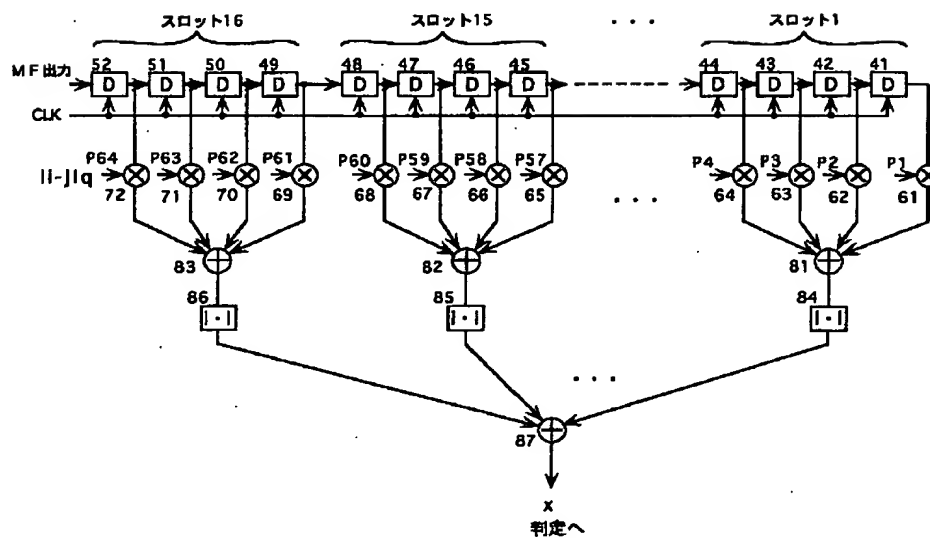


(a)

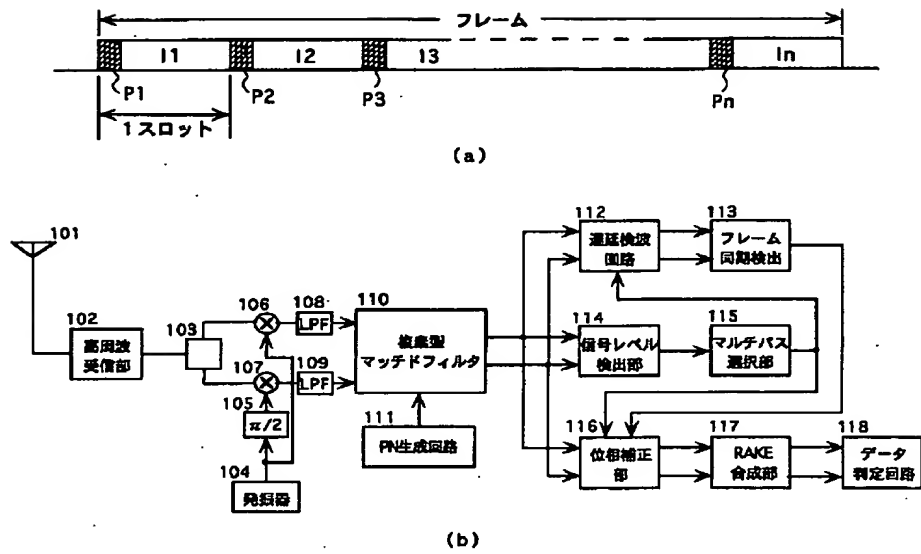


(b)

【図4】



【図5】



【図6】

